## 第七章指令系统

1. 某机主存容量为4M×16位，且存储字长等于指令字长，若该机指令系统能为完成97种操作，操作码是固定的，且具有直接、间接、变址、基址、相对、立即六种寻址方式。
2. 画出一地址指令格式并指出各字段的作用。
3. 该指令直接寻址的最大范围。
4. 一次间址和多次间址的寻址范围。
5. 立即数的范围（十进制数表示）。
6. 相对寻址的位移量（十进制数表示）。
7. 上述6种寻址方式的指令哪一种执行时间最短？哪一种执行时间最长？哪一种便于用户编制处理数组问题的程序？哪一种便于程序浮动？为什么？
8. 如何修改指令格式，使指令的直接寻址范围可扩大到4M
9. 为使一条转移指令能转移到主存的任一位置，可采用什么措施？请简要说明。

解：

1. 一地址指令格式为：

|  |  |  |
| --- | --- | --- |
| OP | M | A |

OP为操作码字段，共7位，可反映97中操作

M寻址方式字段，共3位，可反映6种寻址方式。

A形式地址字段，共16-7-3=6位。

1. 直接寻址的最大范围为26=64.
2. 由于存储字长为16位，故一次间址的寻址范围为216。若多次间址，需用存储字的最高位来区别是否继续间接寻址，故寻址范围为215。
3. 立即数的范围是-32—+31（有符号数），0-63（无符号数）。
4. 相对寻址的位移量为-32-——+31。
5. 上述六种寻址方式中，因立即数由指令直接给出，故立即寻址的指令执行时间最短。间接寻址在指令的执行阶段要多次访问内存（一次间址要两次访存，毒刺间接寻址要多次访存），故执行时间最长。变址寻址由于变址寄存器的内容由用户给定，而且在程序的执行过程中允许用户修改，而其形式地址始终不变，故变址寻址的指令便于用户编制处理数组问题的程序。相对寻址操作数的有效地址只与当前指令相差一定的位移量，与直接寻址相比，更有利于程序浮动。
6. 若指令的格式改为双指令字，即

|  |  |  |
| --- | --- | --- |
| OP | M | A1 |
| A2 | | |

其中OP7位，M 3位，A1 6位， A2 16位，即指令的地址字段共16+6=22位，即指令的直接寻址地址可扩大到4M。

1. 为使一条转移指令能转移到主存的任一位置，寻址范围必须达到4M，除了采用（7）所示的格式外，还可配置22位基址寄存器或22位变址寄存器，使EA=（BR）+A（BR位22位的基址寄存器）或EA=（IX）+A（IX为22位的变址寄存器），便可访问4M存储空间。还可以通过16位的基址寄存器左移6位再和形式地址A相加，也可以达到同样的效果。
2. 假设指定字长为16位，操作数的地址码为6位，指令有零地址、一地址、二地址三种格式。

（1）、设操作码固定，若零地址指令有M种，一地址指令有N种，则二地址指令最多有多少种？

（2）、采用扩展操作码技术，二地址指令最多有多少种？

（3）、采用扩展操作码技术，若二地址指令有P种，零地址指令有Q种，则一地址指令做多有几种？

解：（1）根据操作数地址码为6位，则二地址指令中操作码的位数位16-6-6=4。这4位操作码可有16种操作。由于操作码固定，则除了零地址指令M种，一地址指令N种，剩下二地址指令最多有16-M-N种。

（2）采用扩展操作码技术，操作码位数可随地址数的减少而增加。对于二地址指令，指令字长16位减去两个地址码共12位，剩下4位操作码，共16种编码，去掉一种编码用于一地址指令扩展，最多二地址指令可有15种。

（3）采用扩展操作码技术，操作码位数可变，则二地址、一地址和零地址的操作码长度分别为4位、10位和16位。这样二地址指令操作码每减少一种，就可以多构成26种一地址指令操作码；一地址指令操作码每减少一种就可以多构成26种零地址指令操作码。因二地址指令有P种，则一地址指令最多有（24-P）\*26种。设一地址指令有R种，则零地址指令最多有 [（2k-P）\*26-R]\*26种。

根据题中给出零地址指令指令为Q种，即

Q=[ (24-P)×26-R]×26

则一地址指令 R=（24-P）×26-Q×2-6

1. 假设某机器的指令长度可变（长度在1-4个字节内变化），而且CPU与存储器的数据传输宽度为32位（每次读取32位）。试问如何区分一个存储字包含多少条指令？

答：在设计该指令系统时，可在指令（1字节指令）或指令的第一个字节（多字节指令）中安排2位来区分指令的长度，2位共4个状态，可直接区分1-4字节指令。

1. 说明数据在存储器中可以按“边界对准”或“边界不对准”两种方式存放的特点，并分析其利弊。

答：设存储字长为32位，可按字节、半字、字寻址，对于机器字长为32位的计算机，数据按“边界对准”方式存放，则数据字的地址一定是4的整数倍，这样每访问一个字，即可读出32位。当所存数据不能满足此要求时，可填充一个或多个空白字节，这会浪费一些存储空间。若数据不按“边界对准”方式存放，则数据字可能跨了两个存储字的位置，此时需要访问两次存储器并对高低字节的位置进行调整后，才能取得一个数据字，影响了取数的时间。下图的阴影部分即属于这种情况。

|  |  |  |  |
| --- | --- | --- | --- |
| 存储器 | | | 地址（十进制） |
| 字（地址2） | | 半字（地址0） | 0 |
| 字节（地址7） | 字节（地址6） | 字（地址4） | 4 |
| 半字（地址10） | | 半字（地址8） | 8 |

1. 某模型机共有64种操作，操作码位数固定，且具有一下特点：
2. 采用一地址或二地址格式；
3. 有寄存器寻址、直接寻址和相对寻址（位移量为-128-+127）三种寻址方式。
4. 有16个通用寄存器，算术运算和逻辑运算的操作数均在寄存器中，结果也在寄存器中；
5. 取数/存数指令在通用寄存器和存储器之间传送数据；
6. 存储器容量为1MB，按字节编址。

要求设计算术逻辑指令、存数/取数指令和相对转移指令的格式，并简述理由。

答：

（1）算术逻辑指令格式为“寄存器-寄存器”型，取单字长16位。

|  |  |  |  |
| --- | --- | --- | --- |
| 6 | 2 | 4 | 4 |
| OP | M | Ri | Rj |

其中，OP为操作码，6位，可实现64种操作；M为寻址方式，2位，可反映寄存器寻址、直接寻址相对寻址；Ri和Rj各取4位，指出源操作数和目的操作数的寄存器编号。

（2）取数/存数指令格式为“寄存器-存储器”型，取双字长32位，格式如下：

|  |  |  |  |
| --- | --- | --- | --- |
| 6 | 2 | 4 | 4 |
| OP | M | Ri | Rj |
| A2 | | | |

其中，OP为操作码，6位不变；M为寻址模式，2位不变；Ri为4位，源操作数地址（存数指令）或目的操作数地址（取数指令）；A1和A2共20位，存储器地址，可直接访问按字节变址的1MB存储器。

（3）相对转移指令为一地址格式，去单字长16位，格式如下：

|  |  |  |
| --- | --- | --- |
| 6 | 2 | 8 |
| OP | M | A |

其中，OP为操作码，6位不变；M为寻址模式，2位不变；A为位移量8位，对应-128-+127。

1. 指令字种有哪些字段？各有何作用？如何确定这些字段的位数？

答：指令中有三种字段：操作码字段、寻址特征字段和地址码字段。操作码字段指出机器完成某种操作，其位数取决于指令系统的操作种类。寻址特征字段指出该指令以何种方式寻找操作数的有效地址，其位数取决于寻址方式的种类。地址码字段和寻址特征字段共同之处操作数或指令的有效地址，其位数与寻址范围有关。

1. 在寄存器-寄存器型、寄存器-存储器型和存储器-存储器型三类指令种，哪类指令的执行时间最长？哪类指令的执行时间最短？为什么？
2. 比较变址寻址和基址寻址的异同点。

答：两者区别如下表

|  |  |
| --- | --- |
| 基址寻址 | 变址寻址 |
| （1）有效地址等于形式地址加上基址寄存器的内容 | （1）有效地等于形式地址加上变址寄存器的内容 |
| （1）可扩大寻址范围 | （2）可扩大寻址范围 |
| （3）基址寄存器的内容由操作系统给定，且在程序的执行过程中不可变 | （3）变址寄存器的内容由用户给定，且在程序的执行过程中可变 |
| （4）支持多道程序技术的应用 | （4）用于处理数据程序 |

1. 设某机器共能完成78种操作，若指令字长位16位，试问单地址格式的指令其地址码可取几位？若想使指令的寻址范围扩大到216，可采用什么方法？举出三种不同的例子加以说明。

答：根据78种操作，可求出操作码的位数为7位，则单地址格式的指令地址码站16-6=9位。要使指令的寻址范围扩大到216，可采用以下三种寻址方法。

1. 若指令字长等于存储字长均为16位，则采用间接寻址的方式可使寻址范围扩大到216，因为间址时（设非多次间址）从存储器单元中取出的有效地址为16位。
2. 采用变址寻址，并设变址寄存器XR为16位，则有效地址EA=（XR）+A（形式地址），即可使寻址范围扩大到216.
3. 采用基址寻址方式，并设基址寄存器BR为16位，则有效地址EA=(BR)+A，即可使寻址范围扩大到216.
4. 某机字长32位，CPU内有32个32位的通用寄存器，设计一种能容纳64种操作的指令系统，设指令字长等于机器字长。
5. 如果主存可直接或间接寻址，采用寄存器-存储器型指令格式，能直接寻址的最大存储空间是多少？画出指令格式。
6. 如果采用通用寄存器作为基址寄存器，则上述寄存器-存储器型指令的指令格式有何特点？画出指令格式并指出这类指令可访问多大的存储空间？

答：根据题意指令格式如下：

|  |  |  |  |
| --- | --- | --- | --- |
| OP | I | R | A |

其中，OP占6位，位操作码，可容纳64种操作；I占1位，为直接/间接寻址方式（I=1位间接寻址，I=0为直接寻址）；R占5位，为32个通用寄存器编号；A占20位，为形式地址。

这种指令格式能直接访问的存储空间为220.

（2）根据题意，保留（1）格式的OP，I字段，增加B字段，用以指出哪个寄存器为基址寄存器。此时，基址寻址的特征隐含在OP中。指令格式如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| OP | I | R | B | A |

其中，OP占6位，为操作码，对应64种操作；I占1位，为直接/间接寻址方式；R占5位，位32个通用寄存器编号；B占5位，位基址寄存器编号；A占15位，为形式地址。

因为通用寄存器为32位，用它做基址寄存器后，有效地址等于基址寄存器内容加上形式地址，可得到32位有效地址，故寻址范围可达232.

也可在（2）格式中在增加一位机制寻址方式特征位X，用以明确指出是否基址寻址（X=1基址寻址），此时A取14位，如下所示：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| OP | I | R | X | B | A |

1. 若机器采用三地址格式访问存指令，试问完成一条加法指令共需访问几次存储器？若该机共能完成54种操作，操作数可在1K范围内直接寻找，试画出该机器的指令格式。

答：根据题意，指令字长为36位，其格式为：

|  |  |  |  |
| --- | --- | --- | --- |
| OP | A1 | A2 | A3 |

其中，OP为操作码，占6位，可完成54种操作。A1占10位，第一操作数地址，寻址范围为1K；A2占10位，第二操作数地址，寻址范围为1K。A3占10位，存放结果地址，寻址范围为1K。

完成一条加法指令共需访问4次存储器；第一次去指令；第二次取第一操作数，第三次取第二操作数；第四次存放结果。

1. 某机存储器容量为64K×16位，该机访存指令格式如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| OP | M | I | X | A |
| 4 | 2 | 1 | 1 | 8 |

其中，M为寻址模式：0为直接寻址，1为机制寻址，2为相对寻址，3为立即寻址；I为间址特征（I=1 间址）；X为变址特征（X=1 变址）。

设PC位程序计数器，Rx位变址寄存器，Rb为基址寄存器，试问：

1. 该指令能定义多少种操作？
2. 立即寻址操作数的范围。
3. 在非间址情况下，除立即寻址外，写出每种寻址方式计算有效地址的表达式。
4. 设基址寄存器为14位，在非变址直接基址寻址时，指令的寻址范围是多少？
5. 间接寻址时，寻址范围是多少？若允许多重间址，寻址范围又是多少？

答：（1）该指令能定义16种操作。

（2）立即寻址操作数的范围ishi-128-+127.

（3）直接寻址EA=A 基址寻址 EA=（Rb）+A

变址寻址EA=（Rx）+A 相对寻址 EA=（PC）+A

（4）非变址直接寻址时EA=（Rb）+A，Rb位14位，故可寻址的范围为214.

（5）间接寻址时，如不考虑多次间址，寻址范围为64K，因为从存储器中读出的16位数为有效地址。如果考虑多次间址，则需要用最高1位作间址标志，此时寻址范围为32K。

13、某机机器字长、指令字长和存储字长均为16位，指令系统功能完成50种操作，采用相对寻址、间址、直接寻址。试问：

（1）指令格式如何确定？各种寻址方式的有效地址如何形成？

（2）能否增加其他寻址方式？说明理由。

答：（1）根据提议指令格式为：

|  |  |  |
| --- | --- | --- |
| 6 | 2 | 8 |
| OP | X | A |

其中，OP为操作码，6位，可完成50种操作。

X为寻址模式，2位，定义如下：

X=00 直接寻址， EA=A；

X=01 相对寻址， EA=（PC）+A

X=10 间接寻址， EA=(A)

(2)、由于上述指令中寻址模式X=11尚未使用，故可增加一种寻址方式，如立即寻址，此时A即为操作数。

14、设计器字长为12位，若主存容量为64K×12位，为使一条12位字长的转移指令能够转移到主存中的任一单元，应选何种寻址方式？说明理由。

答：为使一条12位字长的转移指令能够转至64K×12位的主存的任一单元，可采用机制寻址。由于机器字长为12位，故可将寄存器内容左移4位，低位补0，形成16位的基地址，然后和形式地址相加，所得地址即可访问64K的任一单元。

## 第八章 CPU结构和功能

1、一个完整的指令周期包括哪些CPU工作周期？中断周期前和中断周期后格式CPU的什么工作周期？DMA周期前和DMA周期后各式CPU的什么工作周期？

答：一个完整的指令周期包括取指周期、间址周期、执行周期和中断中周期。其中取指周期和执行周期是每条指令都有的。间址周期只有间址寻址的指令才有。中断周期只有在条件满足时才有。

中断周期前是执行周期，中断周期和是取指周期。

DMA周期前可以是取指周期、间址周期、执行周期或中断周期，DMA周期后也可以是取指周期、间址周期、执行周期或中断周期。总之，DMA周期前后都是存取周期。

2、什么是指令周期？指令周期是否是一个固定值？

答：指令周期是CPU每取出并执行一条指令所需的全部时间，也即CPU完成一条指令的时间。由于各种指令操作功能不同，因此各种指令的指令周期是不同的，指令周期的长短主要和指令在执行阶段的访存次数有关。

3、根据CPU性质的不同，可将CPU的工作周期分为哪几类？

答：根据访存性质不同，CPU的工作周期可以可以分为取指周期、间址周期、执行周期和中断周期四类。它们访存的目的分别是取指令、取有效地址、取（或存）操作数及将程序断点保护起来。

4、假设指令流水线分8个过程段，若每个过程段所需的时间为T，试问完成100条指令共需多少时间？

答：所需时间为8T+（100-1）T=107T。

5、今有四级流水线，分别完成取指（IF）、译码并取数（ID）、执行（EX）、写结果（WR）四个步骤。假设完成各步的操作时间一次为100ns、100ns、70ns、50ns。

（1）流水线的时钟周期应取何值？

（2）若相邻的指令发生数据相关，那么第二条指令安排推迟多少时间才能不发生错误》

（3）相邻的指令发生数据相关，而不推迟第二条指令的执行，可采取什么措施？

答：（1）流水线的时钟周期应该按各步骤操作的最大时间来考虑，即流水线的时钟周期应该取100ns。

（2）若相邻两条指令发生数据相关，需使第二条指令暂停执行，直到前面指令产生结果后，再执行第二条指令，因此至少延迟两个时钟周期。

（3）若想不推迟第二条指令的执行，在硬件设计上可采取旁路技术，即设置直接传送数据的通路。

6、在三个过程段的浮点数加法运算流水线中，假设每个过程段所需的时间分别为60ns、90ns、70ns，试求三级流水线加法器的加速比。

答：在浮点数加法器三级流水线中，其时钟周期至少为90ns。如果采用同样的逻辑电路，而且是非流水线方式，则浮点数加法所需要的时间是（60+90+70）ns=220ns。故三级流水线的浮点加法器的加速比为220/9-=2.4。

7、在一个四级指令流水线中，假设每段时钟周期是50ns，共有30条指令连续输入此流水线，试求该流水线的最大吞吐率、实际吞吐率和加速比。

答：该流水的最大吞吐率为：1/50ns=20×106条指令/s

该流水线的时间吞吐率为：30/[4×50ns+（30-1）×50ns]=18×106条指令/s

该流水线的加速比为：（30×4）/[4+（30-1）=3.63]

8、计算机系统中，位了管理中断，硬件上通常有哪些设置？各有何作用？指令系统应有哪些设置？

答：在计算机系统中，为了管理中断需设置下列硬件，它们的作用分别是：

1. 中断请求触发器，其个数与中断源的个数相等，用以标志某个中断源向CPU提出中断请求。
2. 中断屏蔽触发器，其个数与中断源的请求触发器的个数相等，当其为1时，表示该中断源的中断请求被屏蔽，CPU不能响应。
3. 排队器，用来进行中断判优。当多个中断源同时请求时，排队器可选中优先级最高的中断请求。
4. 向量地址形成不见，用以产生中断源的向量地址，从而可以找到中断服务程序入口地址。
5. 中断标志触发器，标志系统进入中断周期。
6. 堆栈，用来保护现场。
7. 中断查询信号电路。在每条指令执行周期结束时刻，该电路向各中断源发查询信号。

在计算机系统中，为了管理中断，指令系统应该设有开中、关中断、置屏蔽字及中断返回等指令。

9、CPU响应中断的条件是什么？CPU什么时候响应中断？

答：CPU响应中断的条件是：允许中断触发器必须为1；中断源提出请求，又未被屏蔽，并优先级最高。

CPU在每条指令执行周期结束时刻要向所有中断源发出查询信号，此时若条件满足，即可响应中断。

10、什么叫屏蔽字？如何设置屏蔽字？

答：每个中断源都有一个中断屏蔽字，当其为1时，CPU不响应该中断源的请求。将所有屏蔽触发器组合起来，构成一个中断屏蔽寄存器，而中断屏蔽寄存器的内容即为屏蔽字。屏蔽字的设置与中断源的优先级有关，主要有以下几个原则。

1. 根据需要，对某个中断源的请求不予处理，则可将对应该中断源的屏蔽触发器置1.
2. 通常在多重中断中，为了使中断处理可靠进行，响应中断后需屏蔽本级和更低级的中断源请求。例如共有8个中断源，为排序为第3优先级的中断源应设置00111111屏蔽字。
3. 若想改变优先级，可按新的优先级设置屏蔽字。仍以8个中断源为例，如果想改变排序为第五和第六中断源的优先级，那么在响应了第五个中断源的中断请求后，设置新的屏蔽字00001011，便可使级别为6的中断源可以中断级别为5的中断服务程序。

11、现有A、B、C、D四个中断源，其优先级由高向低按A、B、C、D顺序排列。若中断服务程序的执行时间为20us，请根据下图时间轴给出的中断源请求中断的时刻，画出CPU执行程序的轨迹。



答：



12、设某机配有A、B、C三台设备，其优先级顺序是A>B>C，为改变中断处理次序，将他们的屏蔽字分别设置为下表所示。请按下图所示的时间轴给出的设备请求中断的时刻，画出CPU执行程序的轨迹。设A、B、C中断服务的执行时间均为20us。

|  |  |  |  |
| --- | --- | --- | --- |
| 设备 | 屏蔽字 | | |
| A | 1 | 1 | 1 |
| B | 0 | 1 | 0 |
| C | 0 | 1 | 1 |



答：



13、设谋机有5个中断源I0,I1,I2,I3,I4，按中断源的优先级次序由高到低排序为I0-I1-I2-I3-I4，先要求中断处理次序为I1-I3-I4-I0-I2，写出各中断源的屏蔽字。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 中断源 | 屏蔽字 | | | | |
| I0 | I1 | I2 | I3 | I4 |
| I0 | 1 | 0 | 1 | 0 | 0 |
| I1 | 1 | 1 | 1 | 1 | 1 |
| I2 | 0 | 0 | 1 | 0 | 0 |
| I3 | 1 | 0 | 1 | 1 | 1 |
| I4 | 1 | 0 | 1 | 0 | 1 |